Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 1

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Введение в Vivado HLS

Задание 2

Студенты: Соболь В.

Темнова А. С.

Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 3](#_Toc25693782)

[2. Первое решение 5](#_Toc25693783)

[2.1. Моделирование 5](#_Toc25693784)

[2.2. Синтез 5](#_Toc25693785)

[2.3. C/RTL моделирование 7](#_Toc25693786)

[3. Второе решение 8](#_Toc25693787)

[3.1. Моделирование 8](#_Toc25693788)

[3.2. Синтез 8](#_Toc25693789)

[3.3. C\RTL моделирование 10](#_Toc25693790)

[4. Выводы 11](#_Toc25693791)

1. Задание

Создать проект, подключив готовые файлы исходного кода устройства и создать тест к нему. Исходный код:

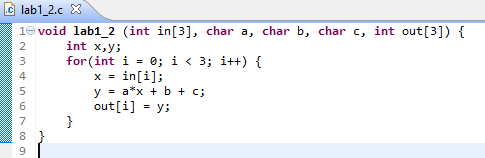


Рис. 1.1. Исходный код

Код теста:

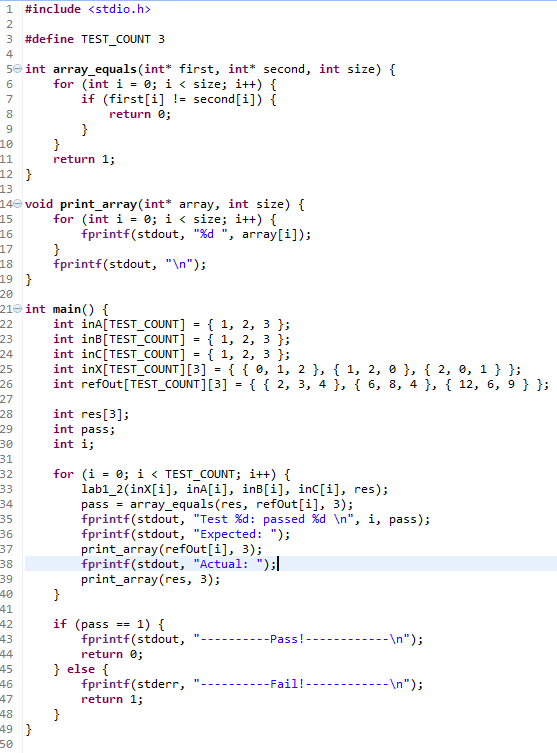


Рис. 1.2. Код теста

Создать 2 решения для синтеза устройства: задать clock period 6 и clock period 10, а также clock uncertain 0.1 в обоих случаях.

Для обоих решений осуществить моделирование и синтез, привести в данном отчете:

* performance estimates=>summary
* utilization estimates=>summary
* Performance Profile
* scheduler viewer (выполнить Zoom to Fit)
  + На скриншоте показать Latency
  + На скриншоте показать Initiation Interval
* resource viewer (выполнить Zoom to Fit)
  + На скриншоте показать Latency
  + На скриншоте показать Initiation Interval

Также для обоих решений осуществить C|RTL моделирование:

* Отобразить два цикла обработки на одном экране
  + На скриншоте показать Latency
  + На скриншоте показать Initiation Interval

Написать выводы, где среди прочего объяснить отличие двух решений.

1. Первое решение
   1. Моделирование

При создании решения зададим настройки: clock period 6, clock uncertain 0.1, part xa7a12tcsg325-1q.

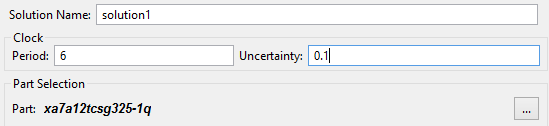


Рис. 2.1. Создание первого решения

При запуске моделирования можно увидеть, что тест успешно пройден:

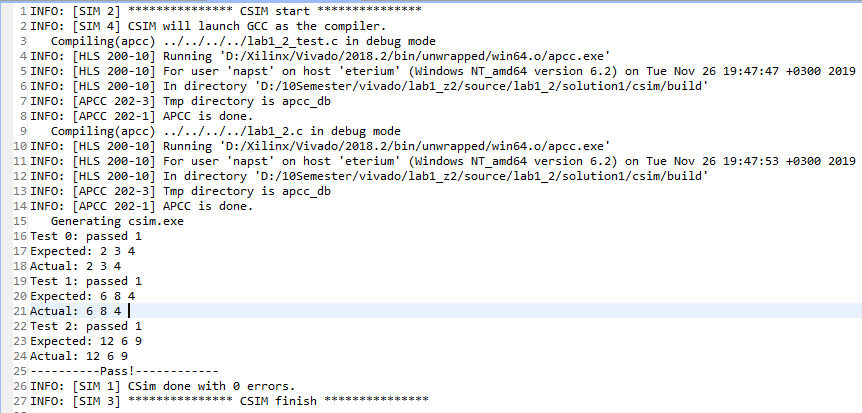


Рис. 2.2. Логи моделирования

* 1. Синтез

Приведем в отчете требуемые данные о проекте:

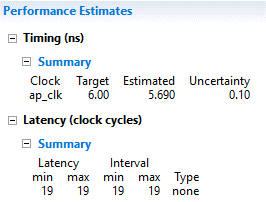


Рис. 2.3. Производительность

Здесь можно увидеть, что достигнутая задержка равна 5,690 + 0.1, что укладывается в заданные нами требования к тактовой частоте.

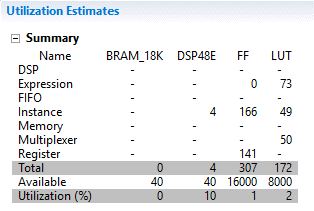


Рис. 2.4. Занимаемые ресурсы

Данный проект займет на микросхеме 4 DSP блока (в котором будут использованы и сумматоры и умножитель), 307 триггеров для хранения чисел, и 172 LUT.



Рис. 2.5. Профиль производительности

На этом рисунке видно, что задержка получения выходного значения составляет 19 тактов с момента старта, а задержка после старта до готовности приема новых данных – 20. Покажем эти интервалы на временной диаграмме:

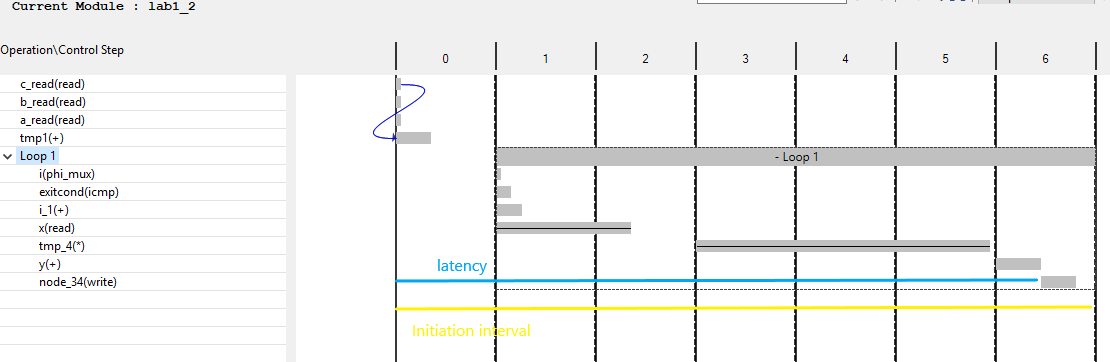


Рис. 2.6. Временная диаграмма

Здесь мы видим весь процесс получения результата. На первом такте происходит считывание операндов А, В и C. На втором начинается цикл, который считывает операнд Х и производит вычисления. На 7 результаты вычислений попадают в Y. Так как цикл выполняется 3 раза, то до получения полного ответа проходит 1 + 3\*6 = 19 тактов (latency = 19). Новые данные можно подавать на следующем такте (II = 20).

Наконец покажем профиль ресурсов:

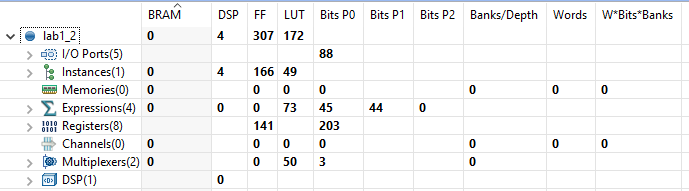


Рис. 2.7. Профиль ресурсов

Здесь можно увидеть те же числа, что и в отчете синтезатора.

* 1. C/RTL моделирование

При совместном моделировании, программа отобразила те же самые, ожидаемые нами значения Latency и II:

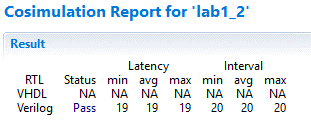


Рис.2.8. Результаты C\RTL моделирования

Покажем временную диаграмму совместного моделирования с отмеченными на ней Latency и II:

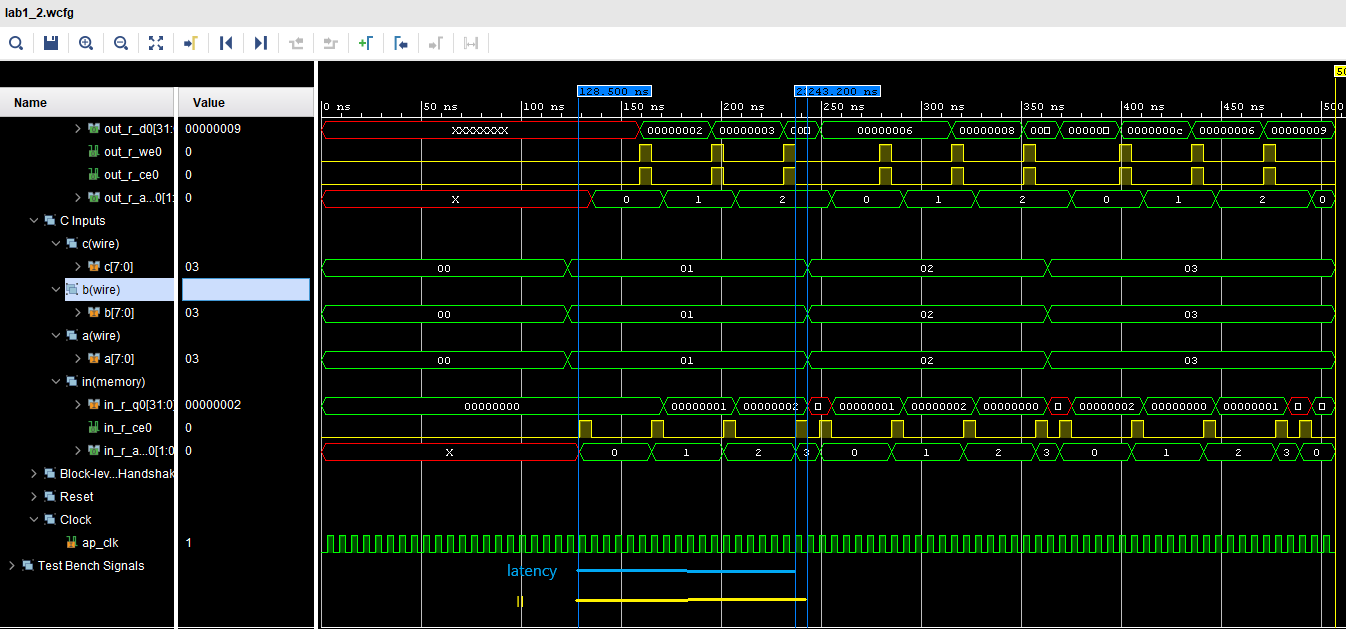


Рис. 2.9. Временная диаграмма совместного моделирования

1. Второе решение
   1. Моделирование

Создадим второе решение для данного проекта. Его настройки:

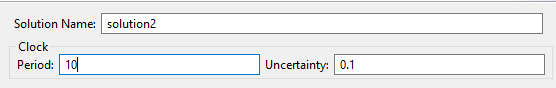


Рис. 3.1. Настройки нового решения

Настройки этого решения изменены согласно заданию.

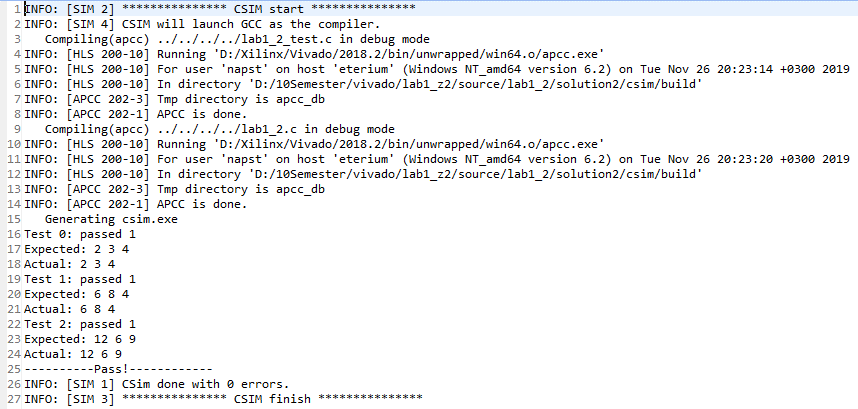


Рис. 3.2. Логи моделирования

Моделирования второго решения также прошло успешно.

* 1. Синтез

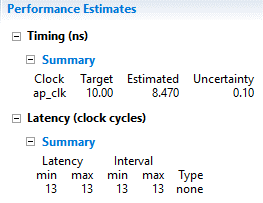


Рис. 3.3. Производительность

На этом рисунке видно, что данное решение также укладывается в установленный период тактовой частоты, однако задержки сильно отличаются, что означает, что изменения периода тактовой частоты повлекло за собой существенные изменения устройства.

На примере затрачиваемых на решение ресурсов это также хорошо видно:

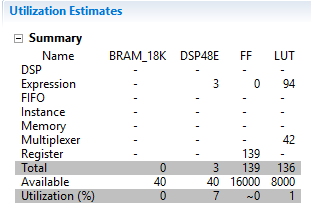


Рис. 3.4. Затрачиваемые ресурсы

В сравнении с предыдущим решением схема избавилась от половины триггеров и большинства LUT.

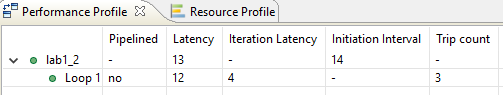


Рис. 3.5. Профиль производительности

Сразу видно, что задержка до получения ответа 13 тактов, а новые данные можно подавать уже через 14 тактов. Покажем это на временной диаграмме:

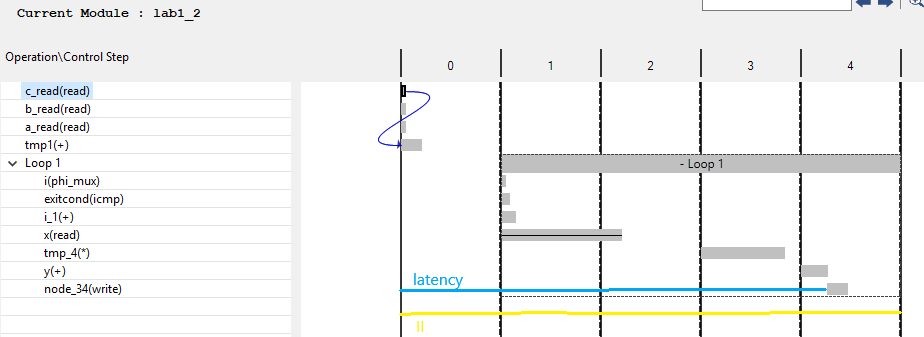


Рис. 3.6. Временная диаграмма

Если изучить эту диаграмму подробнее, то можно сказать, что по сравнению с предыдущим решением, сократилось время операции умножения в цикле с 3 тактов до 1, что и дало сокращение задержки на 6 тактов.

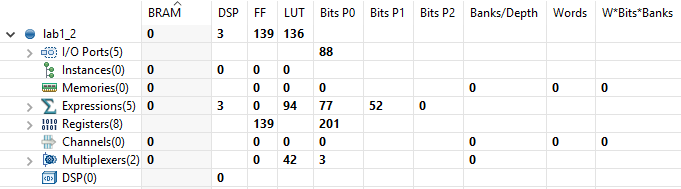


Рис. 3.7. Профиль ресурсов

Здесь мы также видим отличия, согласно общему отчету о затраченных ресурсах.

* 1. C\RTL моделирование

При осуществлении совместного моделирования программа показала ожидаемые результаты Latency, и II:

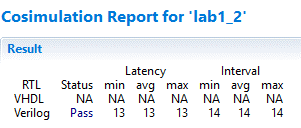


Рис. 3.8. C\RTL моделирование

Моделирование прошло успешно.

Покажем временную диаграмму совместного моделирования:

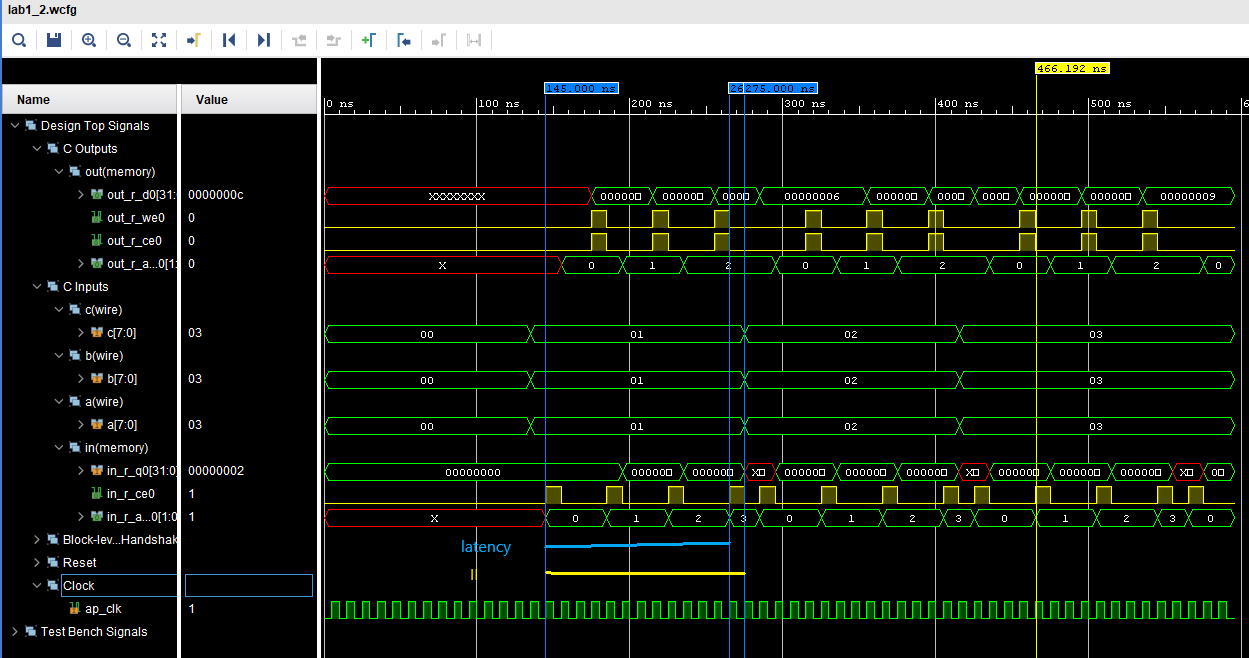


Рис. 3.9. Временная диаграмма совместного моделирования

Здесь также видны ожидаемые Latency и II.

1. Выводы

В данной работе были рассмотрены различия, которые могут появится при синтезе устройства с изменением периода тактовой частоты. В данном примере видно, что при периоде тактов 10нс, программа сумела вместить в 1 период чисто комбинаторную схему умножения, в то время как при меньшем периоде это оказалось невозможным. Таким образом, получены 2 решения: первое – полный цикл выполнения 19 тактов, а максимальная задержка обработки сигнала на такте составляет 5,7 нс, и второе решение, задержка в котором уже 8.5 нс, но все выполняется всего за 13 периодов тактового сигнала.